

Japanese Patent Laying Open Gazette No. 61-27674:

"SEMICONDUCTOR MEMORY DEVICE"

This invention disclosed here relates to an improvement in method for arranging memory cells of static RAM. The memory cells have a v-shape or a reversed v-shape at the bottom, which are connected to one digit line, and so arranged that every two memory cell is shifted by the space of $1/2$ of the memory cell width in the direction of the word line.

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

④ 公開特許公報(A)

昭61-27674

⑦ Int. Cl.⁴

識別記号

庁内整理番号

⑧ 公開 昭和61年(1986)2月7日

H 01 L 27/10
G 11 C 11/40

6655-5F
7230-5B

審査請求 未請求 発明の数 1 (全5頁)

⑨ 発明の名称 半導体記憶装置

⑩ 特 願 昭59-149927

⑪ 出 願 昭59(1984)7月17日

⑫ 発 明 者 篠 原 粂 史 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑬ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑭ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 2次元に配置されたメモリセルの配列を有し、該配列の第1の方向にディジット線を、該配列の第2の方向にワード線を有する半導体記憶装置において、上記各メモリセルはそのワード線方向の下辺又は上辺がV字形又は逆V字形をしており、同一のディジット線に接続されるメモリセルが2メモリセル毎に上記第2の方向に該方向のメモリセル幅の2分の1だけずれて配置されていることを特徴とする半導体記憶装置。

(2) 上記メモリセルは4つのMIS形トランジスタを含み、上記ワード線が第1と第2のMIS形トランジスタのゲートを形成し、上記ディジット線が第1と第2のMIS形トランジスタのドレインと接続され、第1のMIS形トランジスタのソースと第3のMIS形トランジスタのドレインと第4のMIS形トランジスタのゲートとが接続

され、第2のMIS形トランジスタのソースと第4のMIS形トランジスタのドレインと第3のMIS形トランジスタのゲートとが接続され、該第1のMIS形トランジスタのソースと第3のMIS形トランジスタのドレインとの接続が該ソースおよびドレインを形成する半導体基板表面の活性領域以外の導電層を經由して行われていることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(発明の技術分野)

この発明は、半導体記憶装置に関し、特にスタックRAMのメモリセル配列方法の改良に関するものである。

(従来技術)

第1図は一般的なスタックRAMのメモリセルの回路図を示すものである。図において、T1、T2はワード線1をゲート入力とし、メモリセルとディジット線2を接続するアクセストランジスタ(第1、第2のMIS形トランジスタ)、T3、

T4はドレインとゲートを互いに交差接続したインバータトランジスタ(第8、第4のMIS形トランジスタ)、R1、R2はトランジスタT3、T4に対しデータ保持電流を供給するため抵抗である。

この従来の半導体記憶装置のメモリセルパターンとその配置例を各々第2図、第3図に示す。図中の太い実線3は、1ビットあたりのメモリセルの領域を示すものであり、また、実線4は半導体基板表面の活性領域で、MIS形トランジスタのソースおよびドレインを形成するための領域である。そしてこの活性領域4と点線で示す第1ポリシリコン5との重なり部に第1ないし第4のMIS形トランジスタT1~T4のチャネル及びゲートが形成され、破線で示す第2ポリシリコン6の一部に高抵抗R1、R2が形成されている。活性領域4と金属配線により形成されるビット線(ディジット線)2とは一点接続で示す第1スルーホール7を通して接続され、活性領域4と第1ポリシリコン5とは二点接続の第2スルーホール8

を通して第2ポリシリコン6を介して接続されている。

第2スルーホール8の数は1ビットあたり3個あり、トランジスタT2、T4のソースおよびドレインとトランジスタT3のゲートと抵抗R2とを接続するもの8c、トランジスタT1のソースとトランジスタT4のゲートと抵抗R1とを接続するもの8b、トランジスタT3のドレインとトランジスタT4のゲートとを接続するもの8aがある。

ここでトランジスタT1のソース(第6図中の5下の4)とトランジスタT3のドレイン(第6図中の6a下の4)とは活性領域4により接続せずに、活性領域4上の絶縁層上に形成される他の導電層(第6図中の5)と第2スルーホール8a、8b内に形成された第2ポリシリコン6a、6bを用いて接続されている。この第2図の例では、他の導電層として、トランジスタT4のゲートである第1ポリシリコン5を用いているが、第2ポリシリコンを用いて接続してもよい。

第6図に、上記接続を示す断面図を示す。図において、11はその中にトランジスタT1のゲート1が形成されている絶縁層、12はその上に第1ポリシリコン5が形成されている絶縁層、13はその中にトランジスタT3のゲート5が形成されている絶縁層、14、15は分離領域、16は第1ポリシリコン5上に形成された絶縁層である。なお同図中のXYZは第2図中のXYZにそれぞれ対応している。

そして第2図の下端部分を見るとわかるように、この従来のメモリセル3では、上記第2スルーホール8のうち3番目の第2スルーホール8aは第2図のメモリセル3の下方に位置するため、これに関連する活性領域4aと第2ポリシリコン6aを、メモリセル3の底辺近くに位置する接地配線としての活性領域4b及び電源配線としての第2ポリシリコン6bと、分離するための縦方向の隔たりが必要である。

従来の半導体記憶装置は、第3図のようにメモリセルの底辺同士が対面し、同一ディジット線2

に接続されるメモリセルが一直線になるよう、メモリセルが配置されている。このため、第2図で示したメモリセル3の左下端部分と右下端部分とはパターンが離であるにもかかわらず、上記3番目の第2スルーホール8aのある中央下端部分によってメモリセルの底辺位置が決定されていた。したがって、メモリセルの縦寸法(a1)が大きくなる欠点があった。

(発明の概要)

この発明は上記のような従来のものの欠点を除去するためになされたもので、メモリセルの底辺形状をV字形または逆V字形とし、同一のディジット線に接続される隣メモリセルを、2メモリセル毎にワード線方向に該方向のメモリセル幅の1/2だけずれて配置することにより、より小さな縦寸法のメモリセル、したがってより小さなチップサイズを有する半導体記憶装置を提供することを目的としている。

(発明の実施例)

以下、この発明の一実施例を図について説明す

る。第4図は本発明の一実施例による半導体記憶装置のメモリセルのパターンを示す。

第4図において、第1図ないし第3図と同一符号は同一のものを示し、本実施例のメモリセルパターンは上端部と中央部は第2図のものと同じであるが、パターンに余裕ある左下端部と右下端部とが削除され、V字形の底辺をしている。この結果、実効的な縦寸法は従来のものの1より10%程度小さくなっている。

第5図は第4図で示したメモリセルの配置を示した図である。上辺および側辺におけるメモリセル相互の位置関係は第3図で示したものと同一であるが、底辺がV字形をしているために、底辺における位置関係は2分の1メモリセル分だけワード線方向にずれている。即ち、同一ディジット線2に接続されるメモリセルは、一直線上に並びず、2メモリセル毎に各セル横寸法の2分の1だけずれている。

このように、本実施例では、メモリセルの配置を各セル横寸法の2分の1だけずらしたジグザグ

配置としたので、V字形底辺を持つメモリセルを効果的に、かつ高密度に配置することができる。

この配置方法ではメモリセル配列の左右の辺に凹凸10、11が生じるために余分な面積を必要とするが、縦寸法の縮小の効果はそれ以上に大きく、しかもこの効果はメモリ容量が増大して縦方向のメモリセル数が増大する程大きくなる。

なお、上記実施例ではメモリセルがV字形底辺を持つものである場合について示したが、このメモリセルはその真中の下端部が削除された逆V字形の底辺を持つメモリセルであってもよく、上記と同様の配列により高密度に配置することが可能となる。また、2分の1セルだけずらす方向として左、右、右、左の順に行なうと、4メモリセルで一周期を構成するものを示したが、これは必ずしもこの順でなくてもよく、上記と同様、縦寸法の縮小が達成できる。

(発明の効果)

以上のようにこの発明によれば、メモリセルをその底辺形状がV字状または逆V字状となるよう

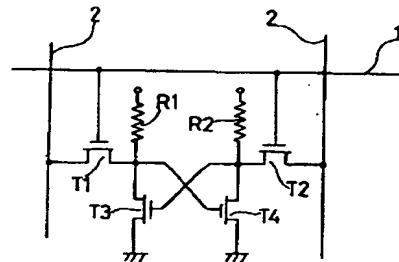
に構成し、かつ同一ビット線に接続される縦メモリセルを、2メモリセル毎に該ビット線と垂直な方向に2分の1メモリセルだけずらして配置するようにしたので、ビット線方向の寸法の小さい、従ってチップサイズの小さい半導体記憶装置が得られる効果がある。

4. 図面の簡単な説明

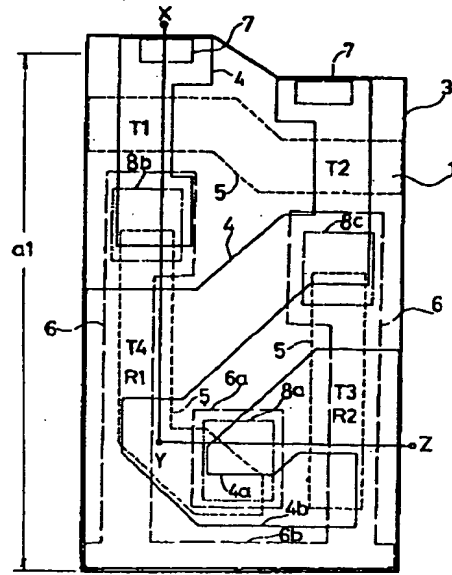
第1図は従来の半導体記憶装置におけるメモリセルの回路図、第2図は第1図のメモリセルのパターン図、第3図は第2図のメモリセルの配置方法を示す図、第4図はこの発明の一実施例による半導体記憶装置におけるメモリセルのパターン図、第5図は上記メモリセルの配置方法を示す図、第6図は第2図のX-Y-Z線断面図である。

1…ワード線、2…ディジット線、3…メモリセル、4…活性領域、5…第1ポリシリコン（導電層）、6…第2ポリシリコン、7…第1スルーホール、8…第2スルーホール、T1～T4…第1ないし第4のMIS形トランジスタ、R1、R2…抵抗。

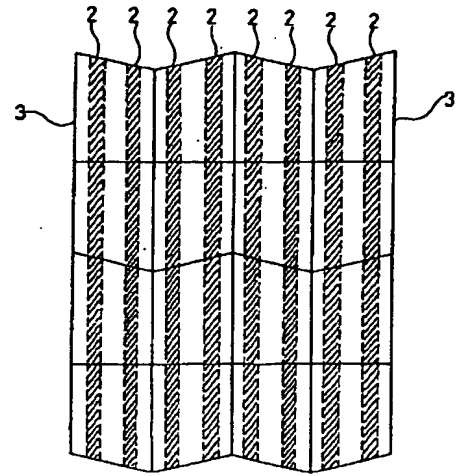
第1図



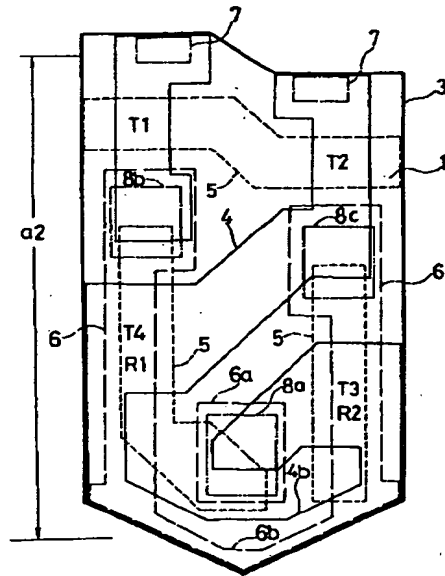
第 2 圖



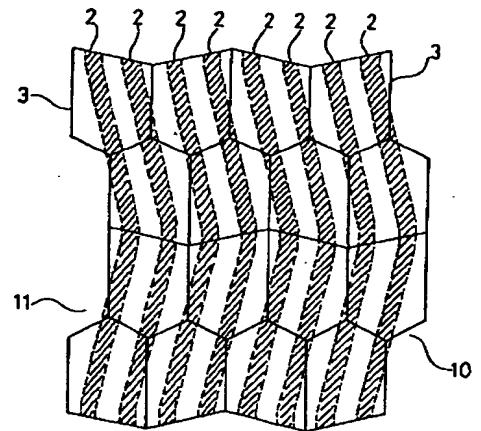
第 3 圖



第 4 圖



第 5 圖



第 6 図

